

# CALCOLATORI ELETTRONICI A – 14 aprile 2010

**NOME:**

**COGNOME:**

**MATR:**

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C. Si utilizzino le note convenzioni sui registri. [5]

```
int F(int a, int b){  
    if(a>b || a<=10) return a;  
    else return F(b-a, 2a);  
}
```

2. Si elenchino le caratteristiche delle seguenti architetture (ISA), schematizzando anche brevemente come può essere effettuata in ciascuna di esse l'operazione di somma  $C=A+B$ , dove C, A e B indicano gli indirizzi di tre operandi in memoria:
- ad accumulatore
  - basata su stack
  - load-store

[4]

3. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.  
Si vuole implementare la nuova istruzione

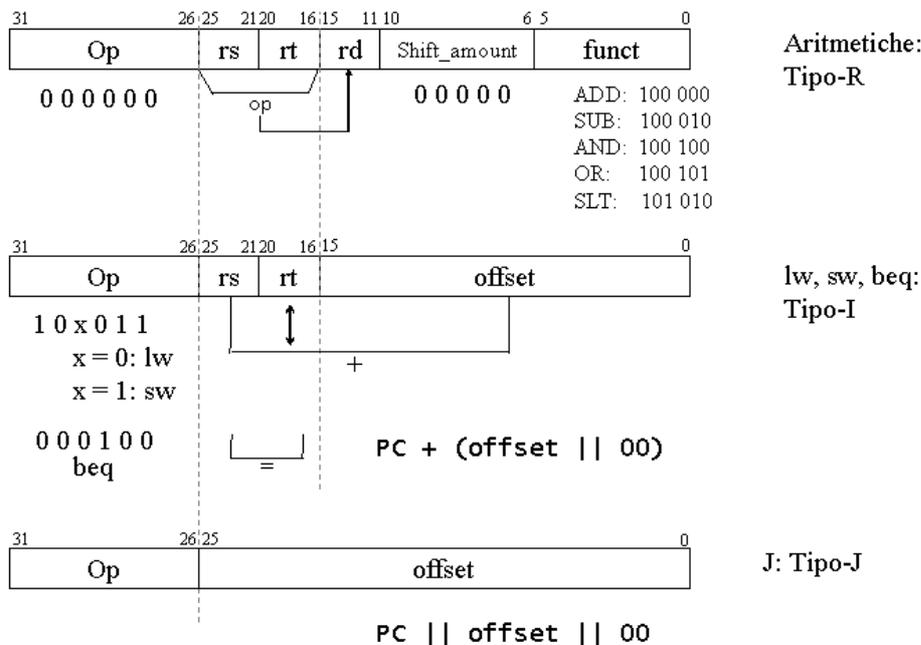
*SWarray r1, offset(r2)*

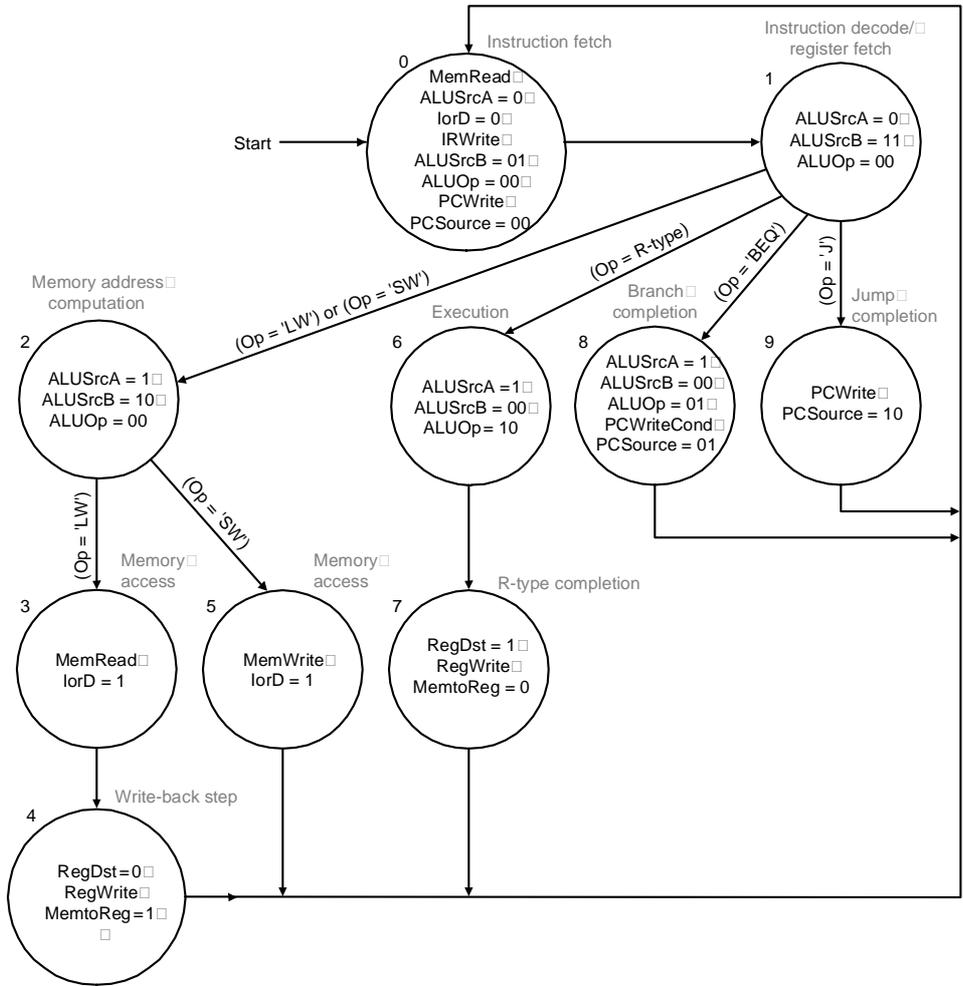
che scrive il valore di *r1* nelle *offset* parole di memoria consecutive a partire dall'indirizzo *r2*. Ad esempio, se *offset* è pari a 0 l'istruzione non fa nulla, se *offset* è pari a 1 l'istruzione pone il valore di *r1* in *M[r2]*, se *offset* è pari a 2 pone il valore di *r1* in *M[r2]* e *M[r2+4]*, ecc.

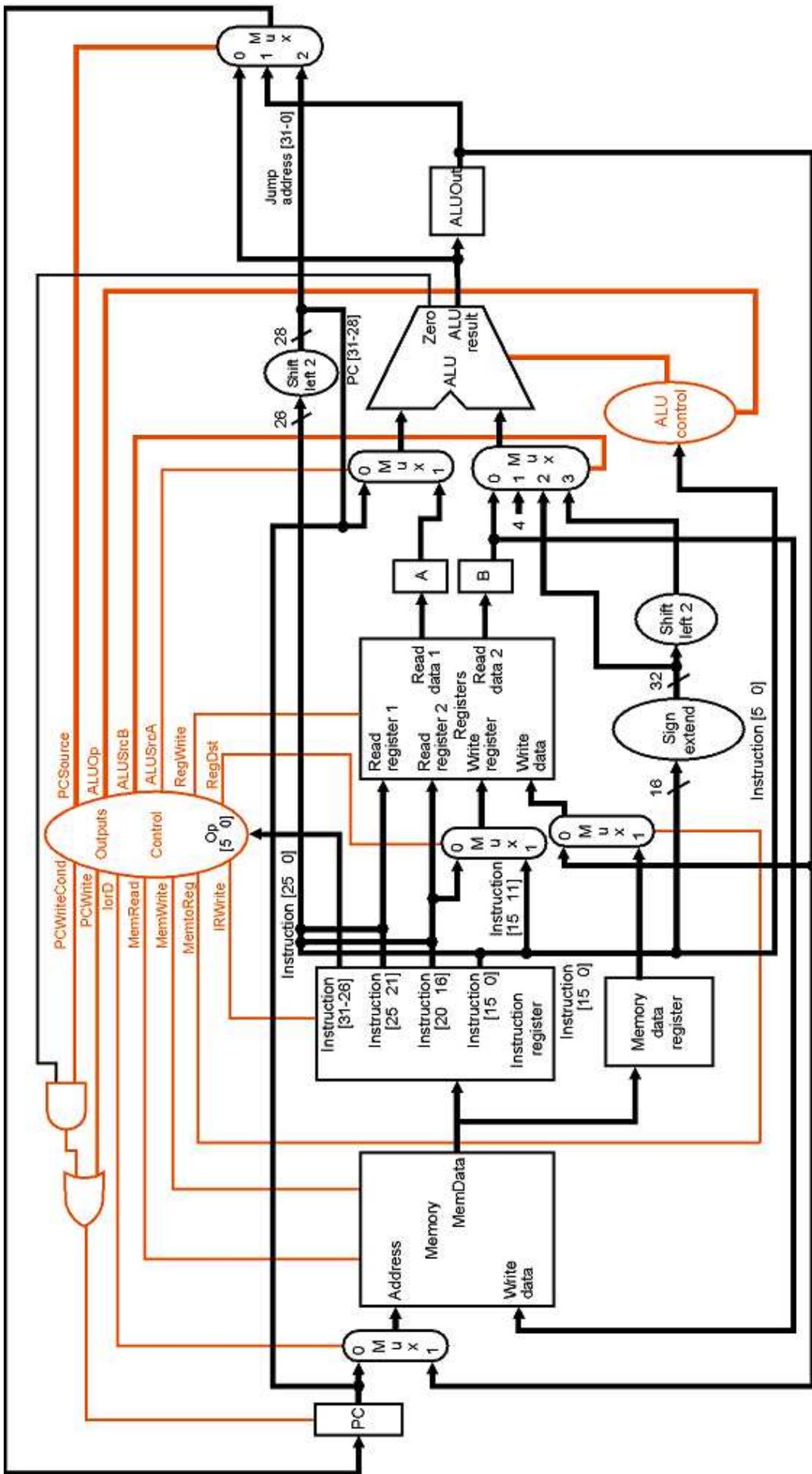
Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

- riportare il formato della nuova istruzione macchina (specificando anche il campo destinato a *r1* e quello destinato ad *r2*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione. [8]

Promemoria formati delle istruzioni:







4. Si esprima in forma canonica “somma di prodotti” (che utilizza AND, OR e NOT) la funzione combinatoria che riceve in ingresso tre bit  $x_1$ ,  $x_2$  e  $x_3$  e produce in uscita  $z$  l’espressione aritmetica  $(x_1+x_2)*x_3$  [NB: è necessario determinare quanti bit sono necessari per l’uscita  $z$ ].  
Supponendo infine di disporre di sole porte NOR, si disegni un circuito che implementa la funzione descritta. [5]

5. Si consideri l'implementazione del processore MIPS secondo la tecnica a singolo ciclo, considerando le usuali istruzioni lw, sw, TIPO-R, beq, j. Si considerino i seguenti tempi per le operazioni atomiche che coinvolgono le unità funzionali principali:

Lettura da memoria:	2 ns
Scrittura in memoria:	1 ns
Lettura Register File:	1 ns
Scrittura in Register File:	2 ns
Operazione ALU:	1 ns

Giustificando la risposta, si calcolino le prestazioni del processore in termini di tempo medio di esecuzione per istruzione.

Si consideri l'implementazione di una istruzione *sum r1, offset(r2)* che somma il valore di *r1* al valore di memoria  $M[r2 + offset]$  e pone il risultato di *r1*. Calcolare in questo caso le nuove prestazioni del processore.

Si assuma infine che, in presenza della nuova istruzione, il tempo di decodifica (inteso come tempo di propagazione dell'unità di controllo combinatoria) non sia trascurabile, ma sia pari a 3 ns. Giustificando la risposta, si calcolino anche in questo caso le nuove prestazioni. [5]

6. Illustrare il significato di una cache set-associativa a 4 vie (cos'è e, molto brevemente, come funziona).
- A parità di dimensione totale della cache e dei blocchi che la costituiscono, quanti bit sono riservati all'etichetta rispetto al caso di cache a corrispondenza diretta? Giustificare la risposta. [3]